Departamento de Ingeniería Electrónica

Facultad de Ingeniería Universidad de Antioquia

Electrónica Digital 1

Práctica No. 2: Diseño e implementación de circuitos combinacionales

**Guía**

**OBJETIVOS**

* Familiarizarse con la metodología de diseño de circuitos digitales.
* Diseñar circuitos lógicos combinacionales usando diferentes técnicas de modelado con lenguajes de descripción de hardware (VHDL) y el uso de *test bench* para su verificación por simulación.
* Adquirir habilidades con la plataforma Vivado para el diseño, simulación e implementación de sistemas digitales usando FPGAS.

**DESCRIPCIÓN**

En la primera parte, se realizará un tutorial con el fin de aprender el ciclo de diseño con la plataforma Vivado, considerando el diseño con VHDL, las síntesis, la simulación y la implementación el circuito en la FPGA.

En la segunda parte, cada Grupo continuará trabajando con la función combinacional de 4 entradas utilizada en la práctica 1. Se debe partir de la función minimizada con el método de Quine McCluskey. La función se implementará en una FPGA a partir de su diseño realizado en VHDL. Se debe diseñar la función de tres formas, considerando los tres estilos de modelado: estructural, flujo de datos y comportamental. Se debe verificar su funcionamiento mediante el diseño de un *testbench* que permita la simulación lógica de forma exhaustiva. Finalmente se debe implementar el circuito en la FPGA ARTIX-7 (Xilinx Artix-7 XC7A35T-ICPG236C) y verificar su funcionamiento con pruebas en la tarjeta Basys3 (si se dispone de la tarjeta).

En la tercera parte, se hará el modelado de una Unidad Lógica y Aritmética (ALU) de 5 bits. Las ALU realizará 5 funciones asignadas a cada grupo, según el anexo. Finalmente se debe simular la ALU y verificar su funcionamiento con pruebas en la tarjeta Basys3 (si se dispone de la tarjeta).

**PROCEDIMIENTO:**

1. **Entrenamiento (tutorial) flujo de diseño con la herramienta Vivado de Xilinx.**
2. Tutorial guiado del flujo de diseño con la herramienta Vivado de Xilinx.
3. Realice de nuevo el procedimiento explicado en el literal anterior, pero con un sumador binario de 5 bits (Se suministra a manera de ejemplo el sumador de 5 bits).
4. Analice el código suministrado incluyendo el *testbench* diseñado.
5. Realice la simulación y verifique su correcto funcionamiento.
6. Sintetice el circuito e impleméntelo en una FPGA. (opcional si se dispone de tarjeta de desarrollo. Use los suiches SW de la Basys3 para introducir algunas combinaciones de vectores de prueba y verificar el funcionamiento del sumador. Las salidas del sumador conéctelas a los leds de las tarjeta).

En este punto siga el siguiente procedimiento (explicado en el laboratorio):

1. Sintetice e implemente el circuito. Salve el esquemático del diseño sintetizado. Consulte el “Project Summary”, reporte en su informe el número de LUTs e I/Os, el atraso máximo y potencia consumida por su circuito.
2. Realice la simulación de *timing* del circuito implementado. Verifique el funcionamiento y estime los tiempos de atrasos de su función lógica. Imprima el resultado de la simulación. Analice cuál es la diferencia con relación a la simulación realizada en el ítem d.

Parte opcional si se dispone de la Tarjeta BASYS:

1. Conecte las entradas de su circuito a suiches SW y la salida a un LED de la tarjeta BASYS3, modificando el archivo XDC (Basys3\_Master.xdc) suministrado.
2. Genere el archivo .bit para configurar la FPGA con su circuito.
3. Conecte la tarjeta Basys3 e implemente el sistema en la FPGA.
4. Verifique la tabla de verdad del circuito cambiando los valores de entrada por intermedio de los suiches SW utilizados y observando las salidas en los leds.
5. **Estilos de modelado de funciones combinaciones en VHDL**

Diseñe la función que le fue asignada en la practica 1 de 5 entradas usando los tres estilos de descripción:

* Estructural.
* Flujo de datos.
* Comportamental.

Para esto siga el siguiente procedimiento:

1. Genere un nuevo proyecto en el Vivado y modele su circuito combinacional de cuatro entradas (que usó en la práctica No.1) de tres formas usando los tres estilos de modelado y cree un componente para cada uno (use los mismos puertos de entrada/salida, para los tres componentes); utilice un nombre de entidad y arquitectura diferente de acuerdo al estilo implementado.
2. Cree un nuevo proyecto, integrando los tres componentes diseñados en el ítem anterior, usando los mismos puertos de entrada para todos y una salida asociada a cada uno. Diseñe un test bench exhaustivo para probar las tres implementaciones simultáneamente, con salida por Consola.
3. Simule los tres circuitos.
4. Sintetice el diseño e impleméntelo en la FPGA. (siga el procedimiento de ***i-vi*** del literal ***e*** la primera parte)
5. Verifique que se cumple tabla de verdad para los tres componentes diseñados observando las señales que entrega el simulador (Waveform) Note que el circuito tiene 5 entradas y 3 salidas (una para cada función implementada en un estilo diferente). Verifique los tiempos de atraso para cada componente realizando una simulación de timing.
6. Realice una comparación de los esquemáticos de los circuitos sintetizados para cada componente (estilo). Nota alguna diferencia ?. Compare también el número de celdas de la FPGA utilizadas en la implementación de cada componente.

Si se dispone de tarjeta, realice el siguiente procedimiento:

1. Verificar en la tarjeta el circuito diseñado. Programe la tarjeta y use 8 suiches SW para las entradas y tres *leds* para las salidas. Y verifique la tabla de verdad.

**3. Modelado de una implementación del circuito a implementar**

1. Modelo en VHDL cada uno de los componentes del circuito que se muestra en la figura siguiente. La ALU tiene datos de entrada y salida de 4 bits y un carry de salida para las operaciones aritméticas. En el Anexo, se asignan las operaciones que debe realizar ALU por Grupo.
2. Construya un *testbench* exhaustivo. Con salida por Consola.
3. Realice simulaciones funcionales y de timing. Para esto sintetice e implemente el circuitos utilizando el Vivado.
4. Establezca los tiempos de atraso del circuito a partir de las simulaciones de timing

Si se dispone de tarjeta, realice el siguiente procedimiento:

1. Verificar en la tarjeta el circuito diseñado. Programe la tarjeta y use suiches SW para las entradas, un *led* para la salida Cout y el Diplay de 7 segmentos (active un solo display). Verifique cada función de la ALU.

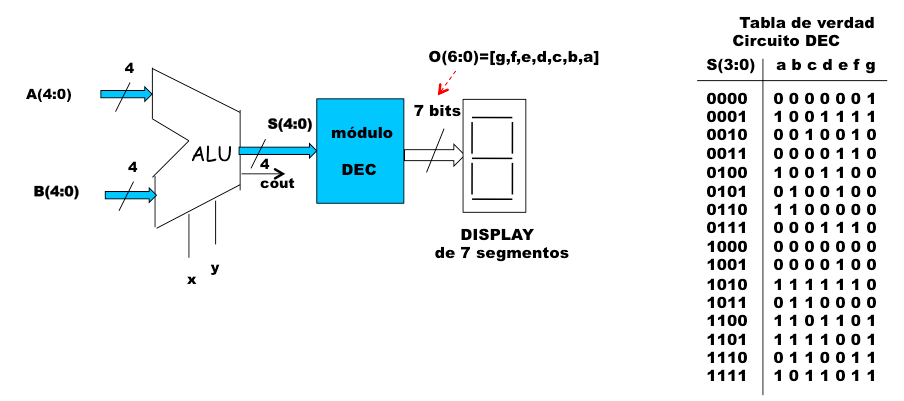


Figura 1. Circuito para implementar. A, B son entradas de 4 bits y S es la salida de 4 bits.

**INFORME**

* La práctica tiene una duración de 2 semanas.
* Cada Grupo debe mostrar funcionando el circuito en el laboratorio a nivel de simulación.
* Se debe entregar un informe detallado con los resultados obtenidos, incluyendo las gráficas con las simulaciones y los informes suministrados por la herramienta. Anexe los proyectos Vivado (que incluya las 3 partes de la práctica).
* Siga las pautas dadas para la realización y el envío del informe, de acuerdo a

Las indicaciones publicadas en el teams.

**CALIFICACIÓN**

70% Demostración de los circuitos funcionando (sustentación de las simulaciones e implementación) en el laboratorio.

30% informe escrito con los resultados.